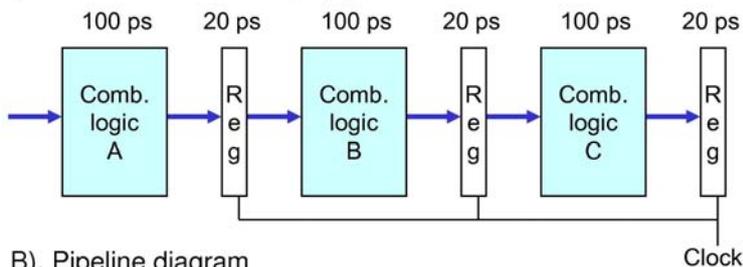


NSY104  
**Architectures des systèmes informatiques**  
 2010-2011

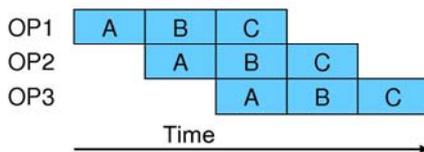
## TD N°2bis – Pipeline

### Exercice 1

A). Hardware: Three-stage pipeline

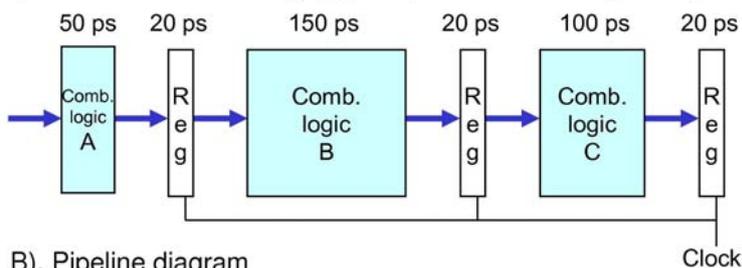


B). Pipeline diagram

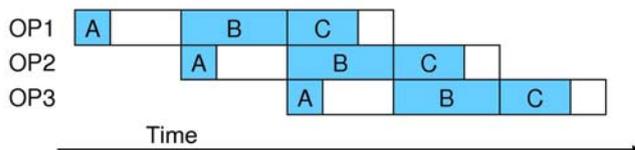


Voici un premier schéma (vu en cours) d'un pipeline à 3 étages. L'unité de temps est la picoseconde (ps) qui vaut  $10^{-12}$  seconde. Quelle est la durée minimale du cycle d'horloge ? Quel est le débit maximal de ce pipeline, en Gops (Giga-opérations par seconde) ? Quelle est dans ce cas la latence, c'est-à-dire la durée d'exécution d'une instruction ?

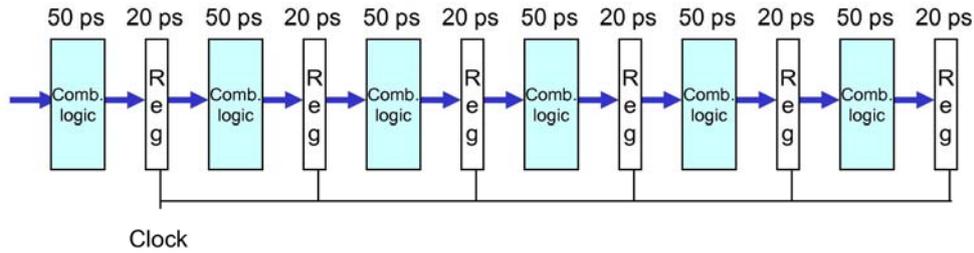
A). Hardware: Three-stage pipeline, nonuniform stage delays



B). Pipeline diagram



Mêmes questions pour le schéma ci-contre (les durées de traitement des trois circuits combinatoires sont différentes).



Mêmes questions en multipliant par deux le nombre d'étages du pipeline initial. Quel est le débit qu'on ne dépassera jamais en augmentant encore la profondeur du pipeline ?

## Exercice 2

On suppose qu'on a découpé les circuits combinatoires qui composent une instruction en six blocs *A* à *F* de durées respectives 80, 60, 30, 50, 70 et 10 ps ; ces blocs doivent être exécutés l'un après l'autre dans cet ordre, après quoi on charge un registre au prochain front d'horloge. La durée de chargement d'un registre est de 20 ps.

1. Insérer un seul registre intermédiaire fournit un pipeline de profondeur 2. Où faut-il insérer ce registre pour obtenir un débit maximal ? Calculer alors la durée du cycle d'horloge, le débit et la latence.
2. Mêmes questions en insérant deux registres intermédiaires (pipeline de profondeur 3).
3. Quel est le pipeline de profondeur optimale ? Fournir une description et une analyse des performances comme précédemment.
4. Echanger les durées de *B* et *C* et traiter à nouveau la question précédente.