



Les Entrées-Sorties

- 1) Introduction**
- 2) Par interruptions**
- 3) Par Accès Direct Mémoire (DMA)**



Introduction

- . **Un écran vidéo ; un clavier**
- . **Un disque magnétique**
- . **Une imprimante**
- . **Le contrôle de processus : lecture de valeurs
envoi de commandes**

Caractéristiques communes :

**les périphériques d'E/S sont beaucoup plus lents que
l'unité de traitement**



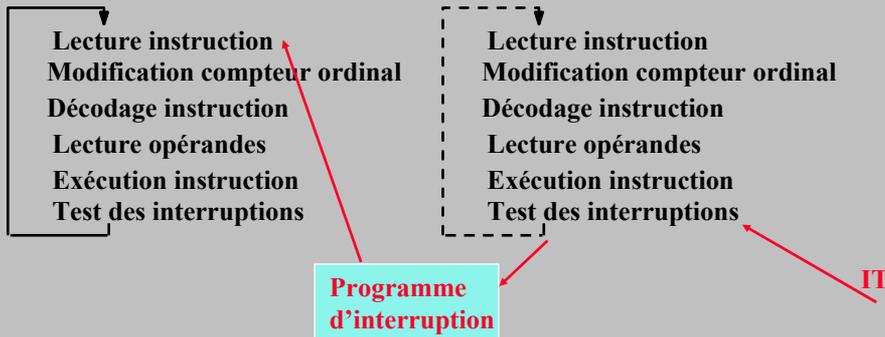
Libérer l'UC des opérations d'E/S

Comment ...



1 - LES INTERRUPTIONS (IT)

Le mécanisme d'interruption fournit la possibilité de **MODIFIER** le **SÉQUENCEMENT** logique d'un flot d'instructions suivant des événements **ASYNCHRONES**



07/02/2007

NFP137 Cours2

3



Les 4 types d'interruptions

1- Interne à l'unité de traitement

- * division par 0
- * dépassement de capacité numérique
- * erreur de parité sur la mémoire
- * erreur de transmission
- * défaut d'alimentation électrique

2- La sollicitation d'une unité périphérique

- * commande pupitre (RAZ - INIT)
- * demande de service pour envoyer ou recevoir une donnée

3- Les Appels superviseur provoqués par le programme

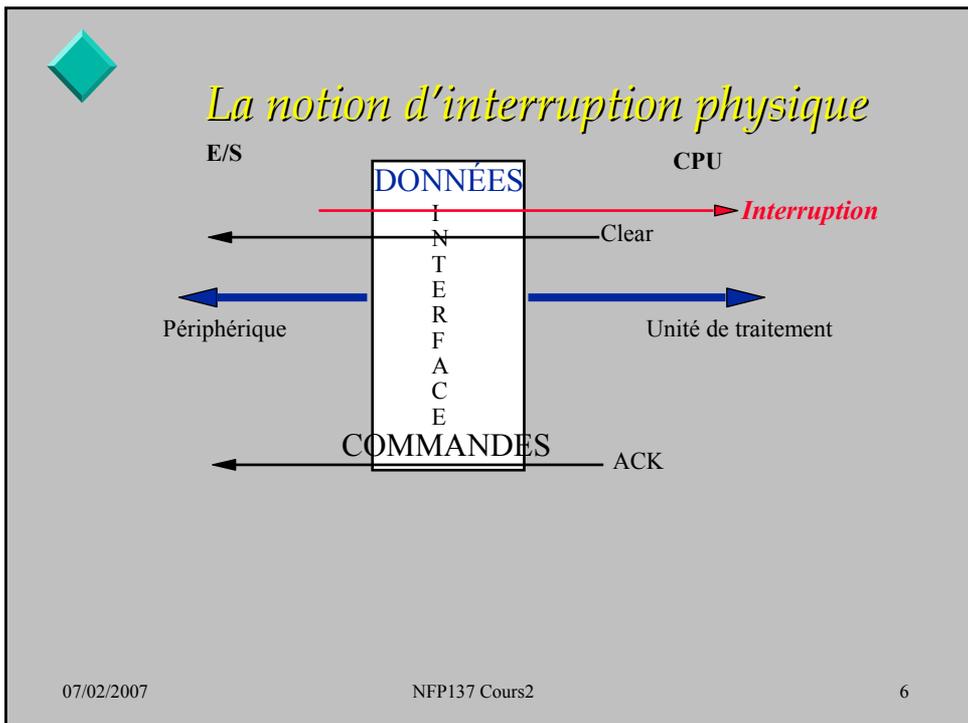
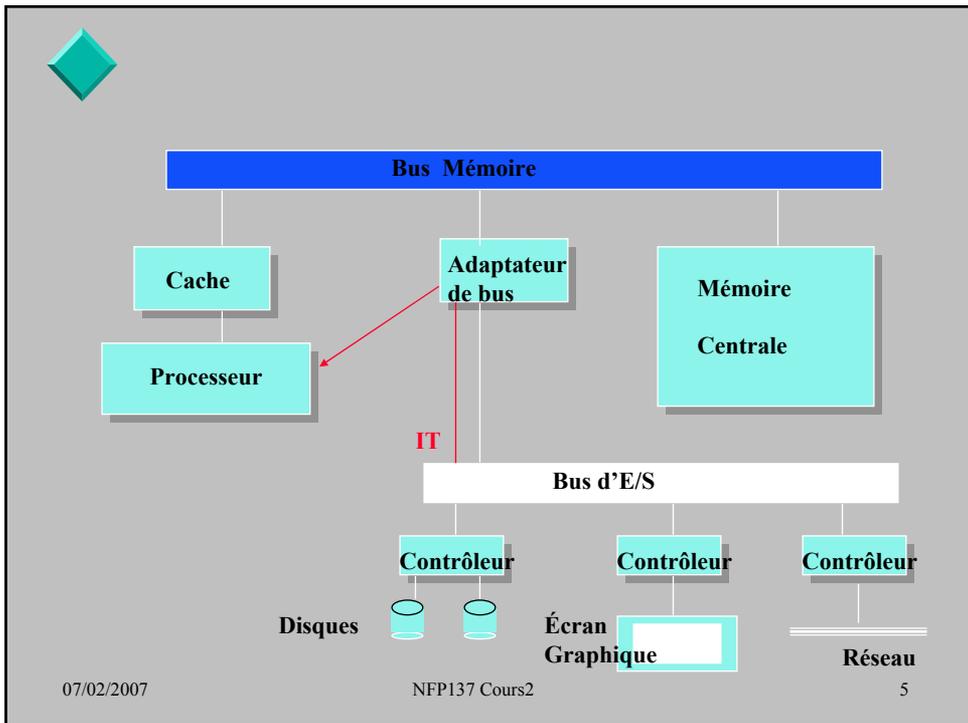
- * Lancement de tâches
- * Allocation de ressources matérielles (mémoire - disque - imprimante ...)
- * Réalisés par des instructions de type SVC (Supervisor Call)

4- Moyen de communication entre unités de traitements dans une architecture multiprocesseur.

07/02/2007

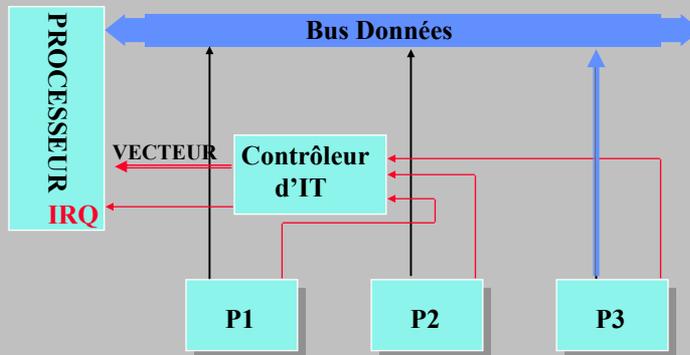
NFP137 Cours2

4





- Demandes multiples



Une ligne par niveau de priorité
Identification immédiate
Priorité programmable par programmation du contrôleur d'IT



La gestion des priorités

❖ Linéarisée

- par logiciel (type demande unique)
- par matériel (type reconnaissance chaînée)

❖ Vectorisée

- par contrôleur

Le programme de traitement de l'IT de niveau *i* peut être interrompu par l'arrivée d'une IT de niveau supérieur à *i*.



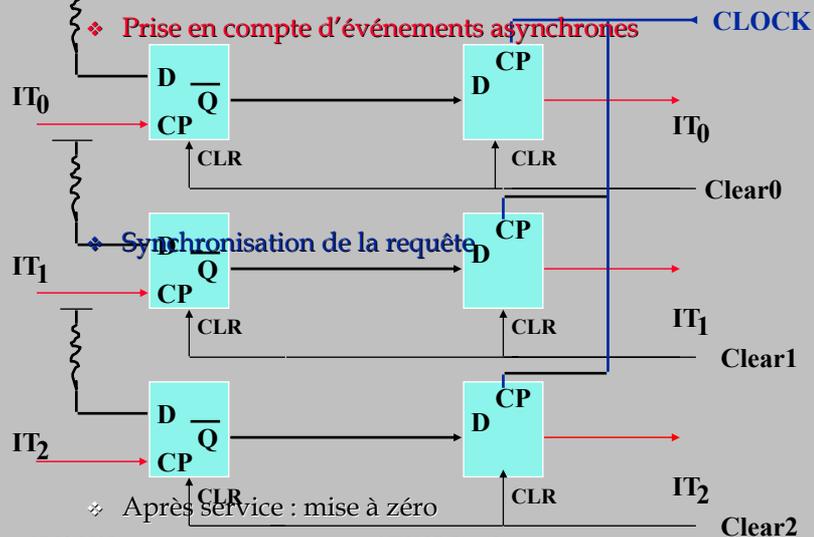
Le contrôleur d'interruption

Il doit assurer :

- La prise en compte d'IT multiples
- Une gestion hiérarchisée des sollicitations extérieures
- La possibilité de modifier cette hiérarchie par masquage des ITs
- La désactivation de l'événement survenu après traitement



Mécanisme de récupération des interruptions



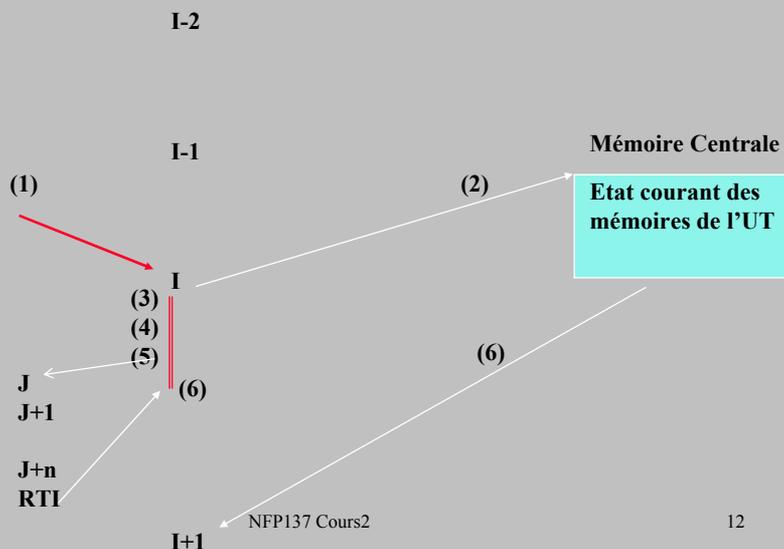


Séquence de prise en compte d'une IT

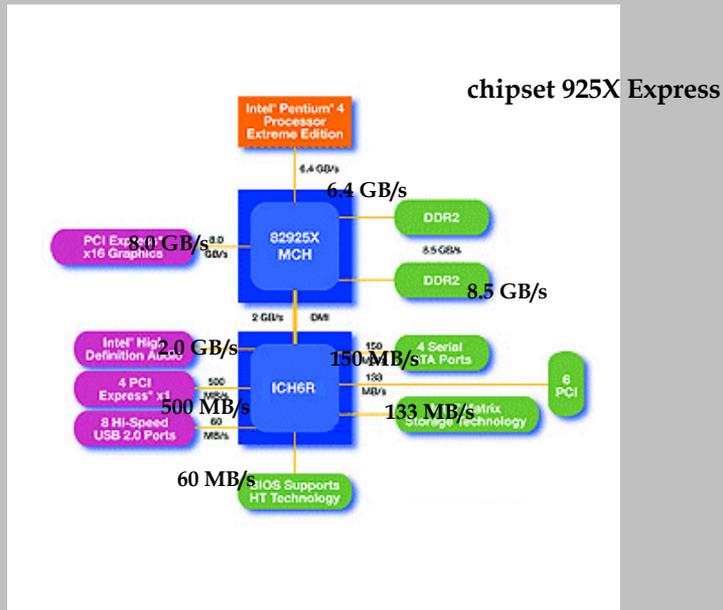
- ❖ 1- Reconnaissance d'IT
 - Par le processeur par une ligne IRQ
 - Identification du périphérique demandeur
- ❖ 2 - Sauvegarde de l'état courant de l'UT
- ❖ 3- Positionnement du masque d'IT pour accepter des it plus prioritaires : 1 et 2 sont ininterrompibles
- ❖ 4- Acquiescement de l'IT : Avertissement par l'UT au périphérique de la prise en compte de sa demande
- ❖ 5- Exécution de la procédure attachée à l'IT
- ❖ 6- Retour d'IT et Restauration de l'état initial avant IT



Programme :



PCI Express : 125 MB/s sur un lien série



07/02/2007

NFP137 Cours2

13

- L'Accès Direct Mémoire (DMA)

Technique qui fournit un chemin direct entre le bus d'E/S et la mémoire sans intervention du processeur.

Le DMA soulage l'UC du contrôle des entrées-sorties

Commutation par vol de cycle

L'E/S "vole" un cycle mémoire à l'UT pour réaliser un transfert

L'exécution du programme UC continue pendant le transfert DMA

Si conflit d'accès à la mémoire priorité au DMA

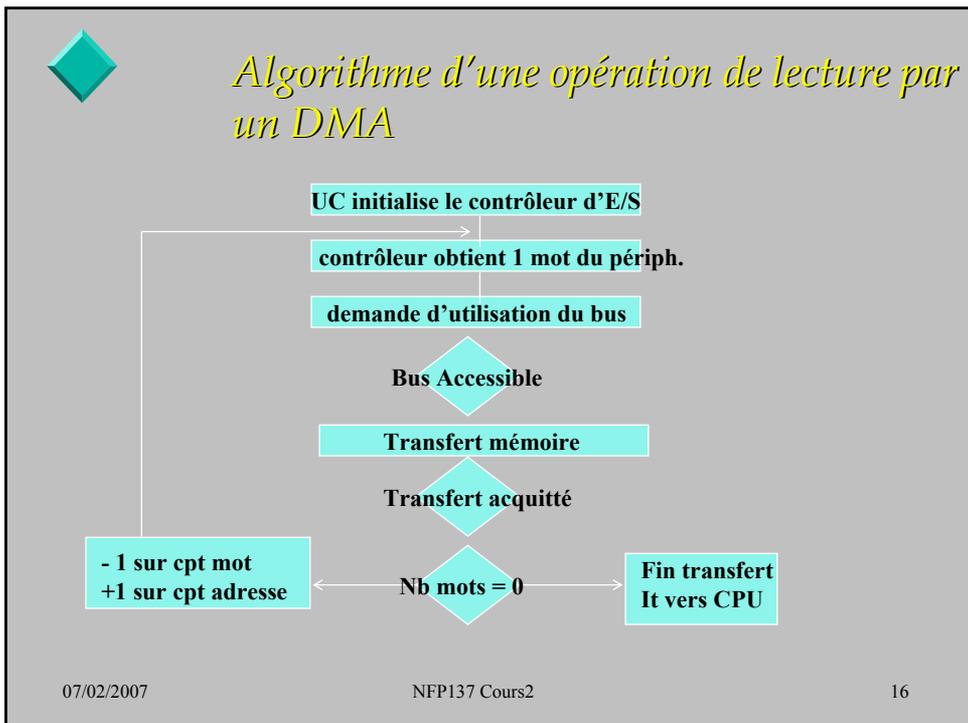
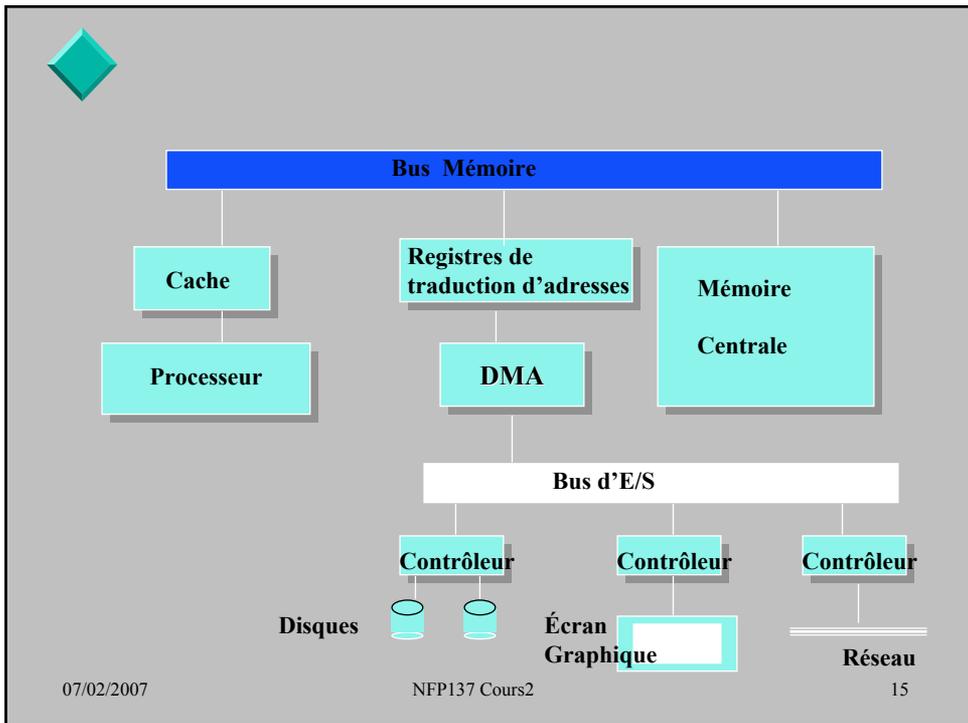


Généralement, le nombre de cycle UC est supérieur au nombre de cycles bus donc pendant l'exécution d'une instruction le bus est disponible

07/02/2007

NFP137 Cours2

14





Problèmes posés par le DMA

- ❖ Avec la mémoire virtuelle (les pages ont une adresse physique et une adresse virtuelle)
 - Un transfert sur plusieurs pages ne s'opère pas sur des adresses consécutives
 - Le mécanisme de MV opère pendant l'opération de DMA

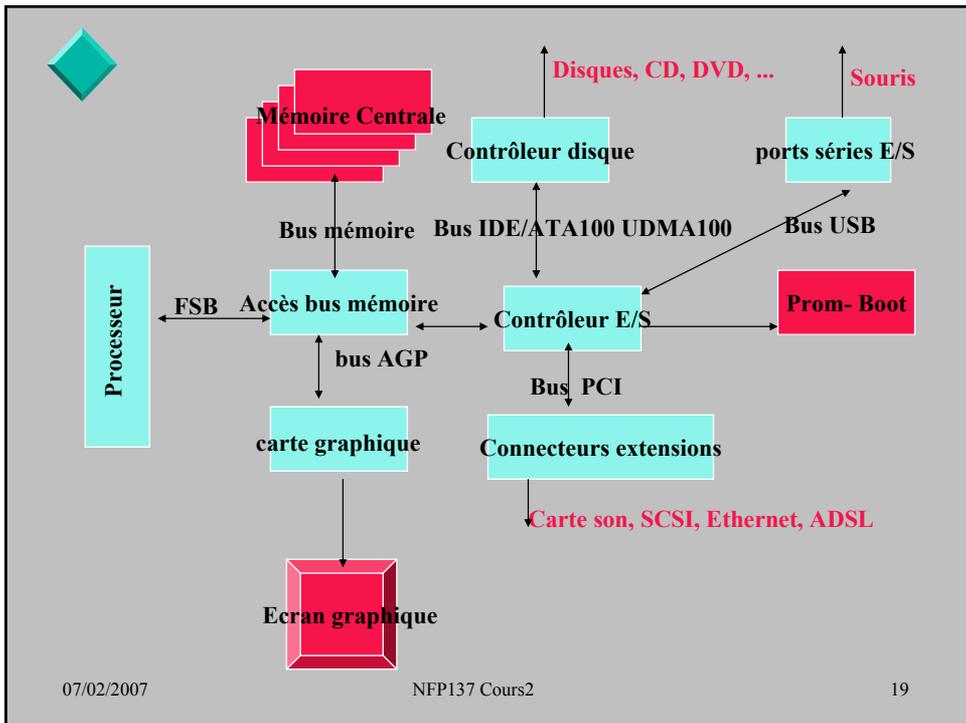
- ❖ Solutions :
 - Permettre un adressage virtuel du DMA : ajouter un gestionnaire d'adresses au DMA et permettre à l'OS d'allouer un ensemble de pages virtuelles au DMA.
 - Transformer une opération en une liste de transferts s'opérant page par page : l'OS gère la liste pour le demandeur



Problèmes posés par le DMA

- ❖ Avec le mécanisme de cache
 - Le processeur (qui contient le cache) n'est pas informé que la mémoire (modifiée par le DMA) possède une valeur différente de celle contenue dans son cache.

- ❖ Solutions
 - L'OS s'appuyant sur un mécanisme matériel invalide les lignes de cache concernées, ou force la mise à jour.
 - Une zone mémoire réservée pour les E/S ne peut pas être résidente en cache (solution par suppression du pb).



Performances pour une carte mère PC

<i>Unit</i>	<i>Frequency</i>	<i>Bandwidth</i>
FSB	333 - 400 -533 -1066 Mhz	3.2 – 6,4 GB/s.
SDRAM, Rambus	800 Mhz – 1066 Mhz	3.2 GB/s.
AGP-8X	66 Mhz, 8 access/cycle	2.128 GB/s.
IDE/UDMA-ATT /100	asynchronous bus -techno dependant	100 MB/s.
USB	480 Mhz for 2.0	48 MB/s.
PCI 1	32 bits 33 Mhz	133 MB/s.
PCI/X	64 bits 66/100/133 Mhz	528 MB/s.
PCI Express	liens séries au Ghz	125MB/liens/s.

07/02/2007 NFP137 Cours2 20



Rôle du système d'exploitation

- ❖ Le SE est une interface entre les opérations d'E/S et le matériel
- ❖ Caractéristiques importantes du système d'E/S
 - Partagé par de nombreux programmes (tâches) utilisant le processeur
 - Les interruptions gérées par le SE impose un transfert en mode superviseur
 - Le contrôle matériel impose de gérer un ensemble d'événements asynchrones concurrents
 - Chaque dispositif d'E/S possède un programme spécifique pour contrôler les échanges (pilote)
- ❖ Le SE à les responsabilités de :
 - Fournir la protection nécessaire pour le ressources d'E/S partagées
 - Gérer les interruptions engendrées par les dispositifs d'E/S
 - Fournir un accès équitable aux différentes ressources partagées
 - Ordonnancer les programmes pour assurer un débit optimum pour chacun