LANGAGE MACHINE

NOM PRENOM

# LA PILE

Une pile est une zone de mémoire dans laquelle on peut stocker temporairement des registres. Il s'agit d'un moyen d'accéder à des données en les empilant, telle une pile de livres, puis en les dépilant pour les utiliser. Ainsi il est nécessaire de dépiler les valeurs stockées au sommet (les dernières à avoir été stockées) pour pouvoir accéder aux valeurs situées à la base de la pile.

En réalité il s'agit d'une zone de mémoire et d'un pointeur qui permettent de repérer le sommet de la pile.

La pile est de type LIFO (Last In First Out), c'est-à-dire que la première valeur empilée sera la dernière sortie. (Si vous empilez des livres, il vous faudra les dépiler en commençant par enlever les livres du dessus. Le premier livre empilé sera donc le dernier sorti !)

Le registre RSP du processeur pointe sur le sommet de pile, c’est-à-dire référence l’adresse de l’élément en sommet de pile.

## Question 1

Quelles sont les deux opérations liées à la pile ? Que font-elles ?

Quelle autre structure de donnée commune pouvez vous citer ? Quelle politique lui est associée ?

## Question 2

Soit une pile initialement vide. Représentez l’évolution du contenu de la pile au fur et à mesure de l’exécution du programme suivant, avec la configuration de registres et mémoire suivante :

Soit l’état suivant de la mémoire centrale :

|  |  |
| --- | --- |
| Case mémoire adresse | Case mémoire contenu |
| 100 | 5 |
| 104 | 100 |
| 108 | 7 |

Le registre RB contient la valeur 4

Donnez l’évolution du contenu du registre R1 et R2 pour chacune des instructions suivantes qui s’enchainent

|  |  |  |  |
| --- | --- | --- | --- |
| Instruction | R1 | R2 | Pile |
| LOAD Im R1 104 |  |  |  |
| PUSH Rg1 R1 |  |  |  |
| LOAD D R2 104 |  |  |  |
| PUSH Rg1 R2 |  |  |  |
| LOAD I R1 104 |  |  |  |
| LOAD B R1 104 |  |  |  |
| POP Rg1 R2 |  |  |  |
| POP Rg1 R1 |  |  |  |
| ADD Rg2 R1 R2 |  |  |  |
| NEG Rg1 R1 |  |  |  |
| PUSH Rg1 R1 |  |  |  |

## Question 3

Soient les opérations suivantes; pour chacune d’elles, représentez l’évolution des registres du processeur ainsi que celle de la mémoire et de la pile. Chaque opération reprend l’état de la mémoire centrale et des registres du processeur résultant de l’opération précédente. Les nombres signés sont représentés sur 16 bits, selon le format du complément à 2.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Adresse | Contenu |  | Registre | Contenu |
| 10 | 12 |  | RB | 50 |
| 11 |  |  |
| 12 | 100 |  |
| 13 |  |  | CO | 400 |
| 14 | 127 |  |
| 15 |  |  | Rsp | 102 |
|  |  |  |  |  |
| 100 |  |  | PSW | 0000xxxxxxx |
| 101 | 10 |  |  |  |
| 102 |  |

|  |
| --- |
| LOAD I R1 10 |
| POP Rg1 R2 |
| ADD Rg2 R1 R2 |
| STORE D R1 15 |
| PUSH Rg1 R1 |
| LOAD Im RB 10 |
| ADD B R1 5 |
| PUSH Rg1 R1 |

# LES INTERRUPTIONS MATERIELLES

## Question 4

Quel est le rôle d’une interruption matérielle ou IRQ ? Quand cela se produit -il ?

Qu’est-ce qu’une routine d’interruption ?

Quelles sont les étapes de traitement d’une interruption ? Quel est l’effet d’une interruption sur le registre CO ?

A quoi sert la table des vecteurs d’interruption? Cette table est-elle en mémoire vive, dans le microprocesseur, dans une mémoire non-volatile ou sur le disque dur ?

A quoi sert la hiérarchisation des interruptions ?

Qu’est-ce qu’une interruption masquée ?

Quel est le rôle de la pile dans le traitement des Irqs ?

## Question 5

Soit la séquence d’instructions suivantes :

DI

POP Rg1 R0

ADD Im R0 10

STORE B R0 100

EI

A/ Explicitez ce que fait chaque instruction en une phrase.

B/ Indiquez la réponse correcte parmi les trois suivantes, si l’on suppose que la valeur 50 est en sommet de pile et que le registre RB contient la valeur 100.

1. la case 200 contient la valeur 60 à l’issue de l’exécution
2. la case 100 contient la valeur 60 à l’issue de l’exécution
3. le sommet de pile contient la valeur 40 à l’issue de l’exécution

C/ L’interruption IRQ2 est délivrée au processeur durant l’exécution de cette séquence d’instruction. Que se passe-t-il ? Pourquoi ?

D/ Durant le traitement de l’IRQ2, les IRQ 1, 5 et 7 arrivent simultanément. Indiquer l’ordre dans lequel les interruptions vont être traitées.